

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-221223

(43)Date of publication of application : 30.08.1996

(51)Int.Cl. G06F 3/08  
G11C 16/06

(21)Application number : 07-028287 (71)Applicant : MITSUBISHI ELECTRIC  
CORP

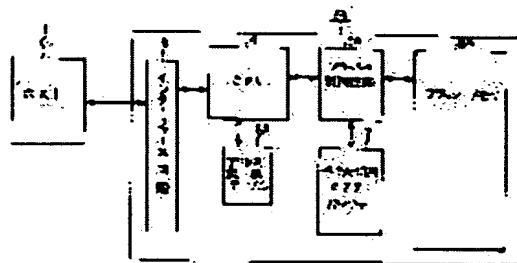
(22)Date of filing : 16.02.1995 (72)Inventor : KORIN MEESON

## (54) SEMICONDUCTOR DISK DEVICE

### (57)Abstract:

PURPOSE: To reduce address conversion table capacity for data control.

CONSTITUTION: This device is provided with a flash memory 8A having plural erasing blocks composed of erasing block information storage areas storing the numbers of times of erasure of erasing blocks, plural data storage areas storing data and the logical sector address storage area for every data storage area storing logical sector address, an address conversion table 5A for converting the logical sector address into a physical erasing block number, and a CPU 4 converting the logical sector address(LSA) inputted based on the address conversion table 5A, finding out the latest pertinent data storage area based on the logical sector address inputted within the pertinent physical erasing block on the flash memory 8A and reading the contents of the latest pertinent data storage area.



## LEGAL STATUS

[Date of request for examination] 14.05.2001

[Date of sending the examiner's decision of rejection] 19.04.2005

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3706167

[Date of registration]	05.08.2005
[Number of appeal against examiner's decision of rejection]	2005-09410
[Date of requesting appeal against examiner's decision of rejection]	19.05.2005
[Date of extinction of right]	

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-221223

(43) 公開日 平成8年(1996)8月30日

(51) IntCl.<sup>6</sup>

識別記号

庁内整理番号

F I

技術表示箇所

G 0 6 F 3/08

G 0 6 F 3/08

H

G 1 1 C 16/06

G 1 1 C 17/00

3 0 9 G

審査請求 未請求 請求項の数3 O L (全 17 頁)

(21) 出願番号 特願平7-28287

(22) 出願日 平成7年(1995)2月16日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 コリン・メーソン

伊丹市瑞原4丁目1番地 三菱電機株式会

社北伊丹製作所内

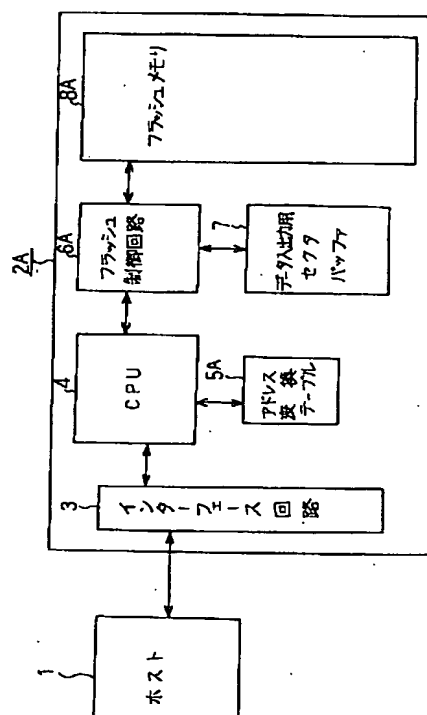
(74) 代理人 弁理士 曾我 道照 (外6名)

(54) 【発明の名称】 半導体ディスク装置

(57) 【要約】

【構成】 当該消去ブロックの消去回数を格納する消去ブロック情報格納領域10と、データを格納する複数のデータ格納領域11と、論理セクタアドレスを格納する前記データ格納領域毎の論理セクタアドレス格納領域12とから構成される消去ブロック9を複数有するフラッシュメモリ8Aと、前記論理セクタアドレスを物理消去ブロック番号へ変換するためのアドレス変換テーブル5Aと、前記アドレス変換テーブル5Aに基づいて入力した論理セクタアドレス(LSA)を物理消去ブロック番号(PBN)へ変換し、前記フラッシュメモリ8A上の該当物理消去ブロック内で前記入力した論理セクタアドレスに基づいて最新の該当データ格納領域11を捜し出し、前記最新の該当データ格納領域11の内容を読み出すCPU4とを備えた。

【効果】 データ管理用のアドレス変換テーブル5Aを小さくできる。



**【特許請求の範囲】**

**【請求項 1】** 当該消去ブロックの消去回数を格納する消去ブロック情報格納領域と、データを格納する複数のデータ格納領域と、論理セクタアドレスを格納する前記データ格納領域毎の論理セクタアドレス格納領域とから構成される消去ブロックを複数有するフラッシュメモリ、前記論理セクタアドレスを物理消去ブロック番号へ変換するためのアドレス変換テーブル、並びに前記物理消去ブロック番号に基づいて前記フラッシュメモリ上のデータを管理する制御手段を備えたことを特徴とする半導体ディスク装置。

**【請求項 2】** 前記制御手段は、前記アドレス変換テーブルに基づいて入力した論理セクタアドレスを物理消去ブロック番号へ変換し、前記フラッシュメモリ上の該当物理消去ブロック内で前記入力した論理セクタアドレスに基づいて最新の該当データ格納領域を捜し出し、前記最新の該当データ格納領域の内容を読み出すことを特徴とする請求項 1 記載の半導体ディスク装置。

**【請求項 3】** 前記制御手段は、該当消去ブロックの上から下へ連続してデータ格納領域にデータを書き込み、前記書き込んだデータ格納領域に対応する論理セクタアドレス格納領域に入力した論理セクタアドレスを書き込むとともに、前記アドレス変換テーブルの前記入力した論理セクタアドレスに対応する物理消去ブロック番号格納部に該当物理消去ブロック番号を書き込むことを特徴とする請求項 1 記載の半導体ディスク装置。

**【発明の詳細な説明】****【0001】**

**【産業上の利用分野】** この発明は、フラッシュメモリを記憶媒体として用いた半導体ディスクカード等の半導体ディスク装置に関するものである。

**【0002】**

**【従来の技術】** 今日、パーソナルコンピュータの分野において比較的大容量のデータを記憶させておく際には、ハードディスク装置などの磁気記憶媒体が用いられることが多い。これは、消費電力こそ大きいコストパフォーマンスが非常によいためである。

**【0003】** 一方、フラッシュメモリ等の半導体メモリを上記ハードディスク装置のように動作させる半導体ディスク装置が出現した。この半導体ディスク装置は上記ハードディスク装置と違いモーターなどのメカニカルな部分が存在しないため、コストパフォーマンスは磁気記憶媒体に遅れをとるものの低消費電力、高信頼性という面を生かし携帯情報端末などに普及しつつある。

**【0004】** なお、フラッシュメモリの特徴は以下のとおりである。第 1 に、電氣的にデータの書き込み、消去が可能な不揮発性メモリである。第 2 に、データが既に書き込まれているメモリセルにデータを上書きすることはできない（このため、常に消去動作がつかまとう）。第 3 に、データの消去単位は、数 K ～数十 K B y t e 単

位である。第 4 に、書き込み、消去回数に制限がある。

**【0005】** 従来の半導体ディスク装置の構成について図 1 4、図 1 5、図 1 6 及び図 1 7 を参照しながら説明する。図 1 4 は、従来の半導体ディスク装置の全体構成を示すブロック図である。図 1 5 は、図 1 4 のアドレス変換テーブルの内部構成を示す図である。図 1 6 は、図 1 4 のフラッシュメモリの内部構成を示す図である。また、図 1 7 は、図 1 6 の消去ブロックの内部構成を示す図である。

**【0006】** 図 1 4 において、従来の半導体ディスク装置 2 は、インターフェイス回路 3 と、CPU 4 と、アドレス変換テーブル 5 と、フラッシュ制御回路 6 と、データ入出力用セクタバッファ 7 と、フラッシュメモリ 8 とを備える。

**【0007】** 半導体ディスク装置 2 と接続するホスト 1 の代表的な例は、ノートパソコンや携帯情報端末である。リムーバブルタイプの半導体ディスク装置 2 は、現在の所、カード型が主流である。インターフェイス回路 3 は、ホスト 1 との情報をやりとりする。CPU 4 は、データの入出力及びフラッシュメモリ 8 への命令を出力する。

**【0008】** 論理セクタ／物理セクタアドレス変換テーブル 5 は、論理セクタアドレスを物理セクタアドレスに変換するためのテーブルである。論理セクタアドレス

(L S A : Logical Sector Address) とはホスト 1 が半導体ディスク装置 2 に指定するセクタアドレスのことである。また、物理セクタアドレス (P S A : Physical Sector Address) とは、半導体ディスク装置 2 内で使用されるフラッシュメモリ 8 のアドレスのことである。

**【0009】** フラッシュ制御回路 6 は、複雑でないフラッシュメモリ 8 のデータ処理を行う。単純なデータの受け渡し等はフラッシュ制御回路 6 で行い、他の処理は CPU 4 で行う。データ入出力用セクタバッファ 7 は、データをフラッシュメモリ 8 からインターフェース回路 3 を通して出力、あるいはインターフェース回路 3 を通してフラッシュメモリ 8 にデータを入力する際に用いられる。

**【0010】** 図 1 5 において、アドレス変換テーブル 5 は、論理セクタアドレス (L S A) 格納部と物理セクタアドレス (P S A) 格納部とから構成される。

**【0011】** L S A 格納部には論理セクタアドレスが保存されている。内容は固定されている。なお、実際は、論理セクタアドレスがホスト 1 から送られてくると、論理セクタアドレスデータに基づき変換テーブル用の揮発性 RAM のアドレスピンに電圧がかかり P S A データがでてくる構造になっている。説明しやすくするために、P S A 格納部との対応で L S A 格納部があるとしている。P S A 格納部には任意の (図では 1 ～ n) フラッシュメモリ 8 のセクタ番号が保存される。このアドレス変換テーブル 5 を用いることで、ホスト 1 が指定する論理

セクタアドレスに左右されることなく内部管理に都合のよい物理セクタアドレスにデータを保存することができる。このアドレス変換テーブル5は、頻繁に書き込み・消去されるのでSRAMやDRAMなどの揮発性のRAMで構成するのが一般的である。

【0012】このアドレス変換テーブル5の容量は、次のような条件のとき以下になる。20メガバイト(MByte)のフラッシュメモリ8を使用し、データの出力単位(セクタ)を512バイト(Byte)とすると、半導体ディスク装置2内のセクタ数は次のようになる。半導体ディスク装置2内のセクタ数=20メガバイト÷512バイト=40960セクタ

【0013】次に、「40960」を2進数表現する際に必要なビット数は、 $\lg 40960 \div \lg 2 = 15.3$ となり、16桁必要となる。

【0014】これにより必要なアドレス変換テーブル5の容量は、 $40960 \times 16 = 655360$ ビットとなり、最終的に、80キロバイト(KByte)必要となる。

【0015】図16において、フラッシュメモリ8は、複数の消去ブロック9と、予備の複数の消去ブロック9とから構成される。

【0016】フラッシュメモリ8は電氣的に書き込み消去可能な不揮発メモリである。不揮発であるためDRAM・SRAMのように電池によるバックアップの必要もなく、また電氣的にデータの消去が可能なのでEPROMと違いボードから外すことなくデータを変更することができる。1セルで1ビットのデータを記憶することができるため、EEROMより安価にメモリを作製することができる。以上の点がフラッシュメモリ8の長所にあたる。短所としては、消去回数に1万回~10万回程度の上限があること、書き込みの際には必ず消去動作が必要なこと(このためデータがすでに書き込まれているセルに上書きすることは不可能)、消去単位は数K~数十KByteのブロック単位であること、等が上げられる。

【0017】図17において、1つの消去ブロック9は、先頭に消去ブロック情報格納領域10と、複数のデータ格納領域11と、データ格納領域11毎のLSA格納領域12とを有する。

【0018】消去ブロック情報格納領域10に現在のブロック消去回数を格納しておく。データ格納領域11は、通常512バイト(=1セクタ)の大きさである。LSA格納領域12はセクタごとに存在し、データを書き込む際にホスト1が指定したLSAを格納しておく。これは、論理セクタ/物理セクタアドレス変換テーブル5を揮発性RAMで構成した際、電源オフと同時にデータが消えてしまうためである。電源をオンにしたときに全てのセクタのLSA格納領域12を検索し揮発性RAMテーブル5を再構築する際に用いられる。

【0019】つぎに、従来の半導体ディスク装置の動作について図18、図19及び図20を参照しながら説明

する。図18は、従来の半導体ディスク装置の読み出し動作を説明するための図である。また、図19及び図20は、従来の半導体ディスク装置の書き込み動作を説明するための図である。

【0020】フラッシュメモリ8を用いた半導体ディスク装置2はハードディスク装置とは異なり、データを上書きすることができない。従って、ホスト1から送られてくるデータの論理セクタアドレスとそのデータをフラッシュメモリ8のどの物理セクタアドレスに書き込むかを示すアドレス変換テーブル5を揮発性RAM内に記憶させておくことが行われる。このアドレス変換テーブル5を用いることでLSAに左右されることなくフラッシュメモリ8の記憶領域を有効に使用することが可能となる。

【0021】まず、半導体ディスク装置2からのデータの読み出し動作を図18で説明する。ホスト1は読み出したいデータのセクタアドレスを半導体ディスク装置2に送る。ホスト1から送られてくるアドレスデータには2種類ある。LSA形式とCHS形式である。LSA形式が1~nまでの通し番号でセクタを指定するのに対し、CHS形式はハードディスク装置で使用されるシリンダ・ヘッド・セクタという3つのデータの組み合わせでデータ領域を指定する。半導体ディスク装置2内ではLSA/PSAアドレス変換テーブル5を用いるため、ホスト1からCHS形式のデータが入力された場合は、例えばインターフェース回路内でLSAに変換し次の作業に移る。

【0022】CPU4は、アドレス変換テーブル5を用いてホスト1が指定したLSAをPSAにアドレス変換する。最後にPSAに対応したフラッシュメモリ8内からデータが読み出される。

【0023】例えば、ホスト1が指定したLSAが「2」であった場合、アドレス変換テーブル5により「6」というPSAに変換される。これにより、図18に示すように、「A」というデータが読み出されることになる。LSA格納領域12にはLSAである「2」が格納されている。

【0024】次に、半導体ディスク装置2へのデータの書き込み動作を図19及び図20で説明する。「A」、「B」、「C」というデータがPSAの「1」、「3」、「7」に格納されている状態を初期状態とする。データを書き込む際に注意しなければならないのはフラッシュメモリ8はデータの再書き込みができないという点である。上記初期状態の場合、PSA「1」、「3」、「7」の領域が該当する。

【0025】データが書き込まれていないLSAをホスト1が指定してきた場合は、CPU4は、フラッシュメモリ8内の適当な空き領域(PSA「2」、「4」~「6」、「8」~「12」)にデータを書き込み、アドレス変換テーブル5内のデータを更新する。図19は、

L S A「4」へ「D」というデータの書き込みをホストが指定した場合の例である。データ「D」とホスト1が指定したL S Aを空き領域P S A「4」に書き込み、アドレス変換テーブル5のL S A「4」に対応したP S Aの部分にP S Aの値「4」を書き込む。

【0026】ホスト1から、既にデータが書き込まれている領域への再書き込みが要求された場合（例えば、同名ファイルの上書き保存）であっても、再書き込みデータをフラッシュメモリ8の空き領域に書き込み、アドレス変換テーブル5を更新する。図20は、L S A「2」のデータを再書き込みした際の結果である。更新データ「B」を空き領域P S A「5」に書き込み、アドレス変換テーブル5のL S A「2」に対応するP S Aを「5」と更新する。なお、P S A「3」が使用済みデータであることは、カード内のC P U 4は認識しておかなければならない。

【0027】

【発明が解決しようとする課題】上述したような従来の半導体ディスク装置では、アドレス変換テーブル5がセクタ（データ管理の最小単位）ごとに1つのP S Aを格納するメモリ領域が必要となるため、フラッシュメモリ8が大容量になるにつれアドレス変換テーブル5も大容量となるという問題点があった。

【0028】この発明は、前述した問題点を解決するためになされたもので、従来装置のパフォーマンス、つまり読み出し速度と略同程度の読み出し速度を維持し、かつメモリ管理用のアドレス変換テーブルの容量を小さくできる半導体ディスク装置を得ることを目的とする。

【0029】

【課題を解決するための手段】この発明に係る半導体ディスク装置は、当該消去ブロックの消去回数を格納する消去ブロック情報格納領域と、データを格納する複数のデータ格納領域と、論理セクタアドレスを格納する前記データ格納領域毎の論理セクタアドレス格納領域とから構成される消去ブロックを複数有するフラッシュメモリと、前記論理セクタアドレスを物理消去ブロック番号へ変換するためのアドレス変換テーブルと、前記物理消去ブロック番号に基づいて前記フラッシュメモリ上のデータを管理する制御手段とを備えたものである。

【0030】また、この発明に係る半導体ディスク装置は、前記制御手段が、前記アドレス変換テーブルに基づいて入力した論理セクタアドレスを物理消去ブロック番号へ変換し、前記フラッシュメモリ上の該当物理消去ブロック内で前記入力した論理セクタアドレスに基づいて最新の該当データ格納領域を捜し出し、前記最新の該当データ格納領域の内容を読み出すものである。

【0031】さらに、この発明に係る半導体ディスク装置は、前記制御手段が、該当消去ブロックの上から下へ連続してデータ格納領域にデータを書き込み、前記書き込んだデータ格納領域に対応する論理セクタアドレス格

納領域に入力した論理セクタアドレスを書き込むとともに、前記アドレス変換テーブルの前記入力した論理セクタアドレスに対応する物理消去ブロック番号格納部に該当物理消去ブロック番号を書き込むものである。

【0032】

【作用】この発明に係る半導体ディスク装置においては、当該消去ブロックの消去回数を格納する消去ブロック情報格納領域と、データを格納する複数のデータ格納領域と、論理セクタアドレスを格納する前記データ格納領域毎の論理セクタアドレス格納領域とから構成される消去ブロックを複数有するフラッシュメモリと、前記論理セクタアドレスを物理消去ブロック番号へ変換するためのアドレス変換テーブルと、前記物理消去ブロック番号に基づいて前記フラッシュメモリ上のデータを管理する制御手段とを備えたので、データ管理用のアドレス変換テーブルを小さくできる。

【0033】また、この発明に係る半導体ディスク装置においては、前記制御手段が、前記アドレス変換テーブルに基づいて入力した論理セクタアドレスを物理消去ブロック番号へ変換し、前記フラッシュメモリ上の該当物理消去ブロック内で前記入力した論理セクタアドレスに基づいて最新の該当データ格納領域を捜し出し、前記最新の該当データ格納領域の内容を読み出すので、データ管理用のアドレス変換テーブルを小さくできる。

【0034】さらに、この発明に係る半導体ディスク装置においては、前記制御手段が、該当消去ブロックの上から下へ連続してデータ格納領域にデータを書き込み、前記書き込んだデータ格納領域に対応する論理セクタアドレス格納領域に入力した論理セクタアドレスを書き込むとともに、前記アドレス変換テーブルの前記入力した論理セクタアドレスに対応する物理消去ブロック番号格納部に該当物理消去ブロック番号を書き込むので、データ管理用のアドレス変換テーブルを小さくできる。

【0035】

【実施例】

実施例1. 以下、この発明の実施例1の構成について図1、図2、図3及び図4を参照しながら説明する。図1は、この発明の実施例1の全体構成を示すブロック図である。図2は、図1のアドレス変換テーブルの内部構成を示す図である。図3は、図1のフラッシュメモリの内部構成を示す図である。図4は、図3の消去ブロックの内部構成を示す図である。なお、各図中、同一符号は同一又は相当部分を示す。

【0036】図1において、この実施例1に係る半導体ディスク装置2Aは、インターフェイス回路3と、C P U 4と、アドレス変換テーブル5Aと、フラッシュ制御回路6Aと、データ入出力用セクタバッファ7と、フラッシュメモリ8Aとを備える。

【0037】従来の半導体ディスク装置2との違いは、アドレス変換テーブル5Aの容量が小さい点であり、そ

の分、フラッシュメモリ 8 A を大きくできる。また、フラッシュ制御回路 6 A は、従来のフラッシュ制御回路 6 の機能に加えて、ハード的な論理セクタアドレス比較回路 6 1 を含む。さらに、CPU 4 は、読み出し用と書き込み用のアドレスポインタを用いてフラッシュメモリ 8 A 上のデータ管理を行う。すなわち、半導体ディスク装置 2 A は、上記論理セクタアドレス比較回路 6 1 と、アドレスポインタとを使用することで、従来と略同程度のパフォーマンスを維持しながら、アドレス変換テーブル 5 A の容量を小さくできる。なお、この発明に係る制御手段は、この実施例 1 では読み出し用と書き込み用のアドレスポインタを用いる CPU 4 と、論理セクタアドレス比較回路 6 1 を含むフラッシュ制御回路 6 A と、データ入出力用セクタバッファ 7 とから構成される。

【0038】アドレス変換テーブル 5 A は、論理セクタアドレスを物理消去ブロック番号に変換するためのテーブルである。物理消去ブロック番号 (PBN: Physical Block Number) とは、半導体ディスク装置 2 A 内で使用されるフラッシュメモリ 8 A のブロックアドレスのことである。

【0039】図 2 において、アドレス変換テーブル 5 A は、論理セクタアドレス (LSA) 格納部と物理消去ブロック番号 (PBN) 格納部とから構成される。

【0040】LSA 格納部には論理セクタアドレスが保存されている。内容は固定されている。なお、実際は、論理セクタアドレスがホスト 1 から送られてくると、論理セクタアドレスデータに基づき変換テーブル用の揮発性 RAM のアドレスピンに電圧がかかり PBN データがでてくる構造になっている。説明をしやすくするために、PBN 格納部との対応で LSA 格納部があるとしている。PBN 格納部には任意のフラッシュメモリ 8 A の物理消去ブロック番号が保存される。このアドレス変換テーブル 5 A を用いることで、ホスト 1 が指定する論理セクタアドレスに左右されることなく内部管理に都合のよい物理消去ブロックにデータを保存することができる。このアドレス変換テーブル 5 A は、頻繁に書き込み・消去されるので SRAM や DRAM などの揮発性の RAM で構成するのが一般的である。

【0041】ただ、このアドレス変換テーブル 5 A では、従来と違い LSA のデータから PBN しか解らない。例えば、消去ブロックのサイズが 64 キロバイトのフラッシュメモリを用いた場合、内部にはおよそ 100 前後のセクタ (=512 バイト) が存在する (消去ブロック情報格納領域 10、LSA 格納領域 12 等がなければ最大 128 セクタが存在する)。このため目的のデータを検索するための工夫が必要となる。これについては後述する。

【0042】このアドレス変換テーブル 5 A の容量は、以下になる。20 メガバイトのフラッシュメモリ 8 A を使用し、1 セクタを 512 バイトとすると、半導

体ディスク装置 2 A 内のセクタ数は従来と同様に 40960 となる。しかしながら、アドレス変換テーブル 5 A の PBN 格納部にはブロック番号を記憶させるので、半導体ディスク装置 2 A 内のブロック数は、1 ブロック

(消去ブロック) を 64 キロバイトとすると以下のようになる。半導体ディスク装置 2 A 内のブロック数 = 20 メガバイト ÷ 64 キロバイト = 320 ブロック

【0043】次に、「320」を 2 進数表現する際に必要なビット数は、 $\lg 320 \div \lg 2 = 8.3$  となり、9 桁必要となる。これにより必要なアドレス変換テーブル 5 A の容量は、 $40960 \times 9 = 368640$  ビットとなり、最終的に、45 キロバイト必要となる。これは、従来の約  $1/2$  である。

【0044】図 3 において、フラッシュメモリ 8 A は、複数の消去ブロック 9 A と、予備の複数の消去ブロック 9 A とから構成される。なお、データ (メモリ) 管理の対象ブロックのサイズが消去単位と同じであるので、消去ブロックと称する。メインメモリに使用するフラッシュメモリ 8 A は、従来と同様ブロック消去型 (消去ブロック単位は数 K ~ 数十 K バイト) のフラッシュメモリを用いる。

【0045】図 4 において、1 つの消去ブロック 9 A は、先頭に消去ブロック情報格納領域 10 と、複数のデータ格納領域 11 と、データ格納領域 11 毎の LSA (論理セクタアドレス) 格納領域 12 と、データ格納領域 11 毎の有効データ確認フラグ 13 とを有する。有効データ確認フラグ 13 以外は、従来と同様である。この有効データ確認フラグ 13 は、CPU 4 が有効データか、いつでも消去可能な無効データかを区別するためのものである。有効データは「FF」(11111111)、無効データは「00」(00000000) で表す。なお、逆の表現でもよい。CPU 4 は、データの上書きや消去を行った場合、必要なくなったデータ格納領域 11 に対応する有効データ確認フラグ 13 を「FF」から「00」へ書き換える。

【0046】つぎに、この実施例 1 の動作について図 5 から図 13 までを参照しながら説明する。図 5 ~ 図 8 は、この実施例 1 の書き込み動作を説明するための図である。図 9 及び図 10 は、この実施例 1 の読み出し動作を説明するための図である。図 11 及び図 12 は、この実施例 1 の読み出し動作を示すフローチャートである。図 13 は、この実施例 1 の書き込み動作を示すフローチャートである。

【0047】まず、半導体ディスク装置 2 A へのデータ書き込み動作を図 5 ~ 図 8 で説明する。従来との違いは、1 つの消去ブロック内のセクタ (データ格納領域 11) が全て書き込み済みになるまで他の消去ブロックにはデータを書き込まないことである。また、データは、消去ブロックの上から下に連続して書き込む (ランダムに書き込まない)。これは、「書き込み用アドレスポ

ンタ」を用い、書き込みの度に1つずつ更新（インクリメント）していく。ここで、「アドレスポインタ」とは、任意の物理セクタアドレス（PSA）を記憶しておくためのものである。この実施例1では、データの読み出し時と、書き込み時にそれぞれ1つの「読み出し用アドレスポインタ」、「書き込み用アドレスポインタ」を使用する。

【0048】半導体ディスク装置2A内のフラッシュメモリ8A内にデータが全く無い状態から動作の説明を進める。このとき、書き込み用アドレスポインタは「1」を指し示している。データ書き込みの際には、まずホスト1から書き込むべきデータと書き込みアドレスが送られてくる。アドレスは、CHS形式の場合が考えられるので従来と同様に全てLSA形式に変換する。アドレス形式情報もホスト1から送られてくるため半導体ディスク装置2A側で容易にCHS形式かLSA形式かを区別することができる。

【0049】LSAがランダムに送られてきても、図5に示すように、書き込みはPBN「1」から行う。例えば、ホスト1からLSA「3」にデータ「A」の書き込み要求があった場合、CPU4は書き込み用アドレスポインタに従い、PBN「1」の先頭のデータ格納領域11にデータ「A」を書き込み、対応する論理セクタアドレス格納領域12にLSA「3」を書き込む。そして、書き込みアドレスポインタを更新する。つまり、書き込みアドレスポインタを「2」とする。さらに、アドレス変換テーブル5AのLSA「3」に対応するPBN格納部に「1」を書き込む。なお、図5～図9において、フラッシュメモリ8Aの消去ブロック9Aは、説明しやすいようにデータ格納領域11を3つとしている。

【0050】図6は、クリーンな消去ブロックがあと1ブロックになった状態である。このとき、書き込み用アドレスポインタは、「1」→「2」→「3」→「…」→「8」→「9」と更新されて、PBN「4」の先頭のデータ格納領域11である「10」を指し示している。ここで、これ以上書き込むと、クリーンな消去ブロックを確保することができないためフラッシュメモリ8Aの消去ブロックのクリーニングを行う。

【0051】CPU4は、全ての消去ブロック内の状態を確認し消去に最適なブロックを決定する。最適なブロックとは、有効データ確認フラグ13に基づく、有効なデータがあまり存在しない消去ブロックや、消去ブロック情報格納領域10の内容に基づく、消去回数が少ない消去ブロックなどである。図6では、各消去ブロックの消去回数は「0」で同じであり、PBN「1」が有効なデータが少ないため、つまりPBN「1」のデータ

「A'」はデータ「A」の上書きを意味しているため、このブロックを消去し、クリーンなセクタを確保することにする。

【0052】まず、図7に示すように、有効なデータを

クリーンなPBN「4」に退避し、次にアドレス変換テーブル5Aを更新する。その後、図8に示すように、PBN「1」をブロック消去し、ブロック消去回数を「1」だけ増やす。この作業により、クリーンなブロック1つと、クリーンなセクタ1つが確保されたことになる。このとき、書き込み用アドレスポインタは「12」を指し示している。

【0053】次に、半導体ディスク装置2Aからのデータ読み出し動作を図9及び図10で説明する。まず、ホスト1から送られてきたアドレスをLSA形式に統一する。次に、アドレス変換テーブル5Aを用いてLSAからPBNを割り出す。

【0054】次に、得られたPBN内の論理セクタアドレス格納領域12に格納されたLSAを下から順に確認していく。この際、図10に示すように、フラッシュ制御回路6A内の論理セクタアドレス比較回路61で、ホスト1から送られてきたLSAと、該当PBN内の論理セクタアドレス格納領域12に格納されたLSAとを比較する。一致したときのデータ格納領域11（セクタ）の内容が読み出すべきデータである。このとき、読み出し用アドレスポインタに一致したときのPSAにプラス1した値をセットする。読み出しデータが複数のセクタの場合、次の読み出し時は読み出し用アドレスポインタが指し示すセクタアドレスからデータを読み出す。

【0055】例えば、ホスト1からLSAが「2」というデータが送られてきた場合、図9に示すように、アドレス変換テーブル5Aにより、PBN「3」を得る。次に、PBN「3」の消去ブロック内の論理セクタアドレスを下から順に確認する。一番下のLSAは「6」であるから該当せず。次に、次のLSAが「2」であるから一致する。従って、読み出すべきデータは「H」ということになる。このとき、読み出し用アドレスポインタは「9」である。

【0056】従来と違い、消去ブロックが大きくなると検索に要する時間がかかることになる。しかし、一般にデータは512バイト（1セクタ）以上のサイズのものが多いため、初めてのデータ検索には、1つの消去ブロック内に約100セクタのデータエリアがあるため、最高100ステップ程度の検索を必要とするが、2回目以降は前回読み出したセクタの次のセクタにデータがある可能性が極めて高いため、前回読み出したセクタの次のセクタのアドレスを読み出し用アドレスポインタに記憶しておくことで検索回数を大幅に減少させることができる。

【0057】つづいて、半導体ディスク装置2Aからのデータ読み出し動作を図11及び図12のフローチャートで説明する。1～数十のセクタからなるファイル（データ）を扱う場合、ファイルの先頭のセクタを読み出す際は読み出し用アドレスポインタが決定していないので、図11の検索処理を行う。また、上記ファイルの次



のセクタのデータを読み出すときには読み出し用アドレスポインタが設定されているので、図12の処理を行う。図11の検索処理との違いは、図12の処理はホスト1から読み出すべきデータのアドレス(LSA)を受け取るが、ホスト1からのLSAを使用することなくデータを読み出すことである。図11の検索処理は、ファイルの先頭セクタのデータを読み出す場合の他に、読み出し用アドレスポインタが消去ブロック内の最終セクタアドレスまで来た場合にも行う。これは、次に読み出すセクタが存在する消去ブロックが解らなくなるためである。CPU4は、ファイル名等に基づきファイルの先頭とそれ以外を認識し、また、ブロックサイズ等に基づき最終セクタアドレスを認識する。

【0058】初めに、ホスト1から読み出すべきデータのセクタ情報を受け取る(ステップ20)。これはLSAの形式かもしくはCHS形式で送られてくる。LSA形式に統一するためにCHSデータ形式で送られてきた場合はLSA形式に変換する(ステップ21～22)。この変換は、半導体ディスク装置2A内のCPU4を用いてもかまわないし、専用の回路を半導体ディスク装置内部に持たせてもかまわない。

【0059】次に、LSAをPBNに変換する(ステップ23)。これは、アドレス変換テーブル5Aを用いる。次に、決定したPBN内の論理セクタアドレス格納領域12内に格納されたLSAを読み出す。この読み出したLSAと、ホスト1からのLSAとを論理セクタアドレス比較回路61で比較し、不一致ならば次の論理セクタアドレス格納領域12内に格納されたLSAを読み出し、上記PBN内を下から検索し、同様の比較を一致するまで行う。なお、検索の方向は、場合によっては上から行ってもよい(ステップ24～26)。

【0060】LSA同士が一致したら、対応するデータ格納領域11からデータを読み出す(ステップ27)。そして、読み出し用アドレスポインタに、上記のデータを読み出した次のセクタアドレスをセットする(ステップ28)。

【0061】つづいて、次のセクタアドレスのデータを読み出す場合は以下のとおりである。ステップ40～42は、上記ステップ20～22と同様である。これは、インターフェースの互換性を保つために、ホスト1からのLSAを受け取り、処理した形にしなければならないからである。

【0062】次に、読み出し用アドレスポインタが指し示すセクタアドレスからデータを読み出す(ステップ43)。そして、読み出し用アドレスポインタに「1」を加算して更新する。ある1つのファイルを読み出す場合、従来の半導体ディスク装置ではファイルを構成しているセクタ数だけアドレス変換テーブル5を参照する。しかし、この実施例1では、初回の消去ブロック内のデータ検索に時間をとるものの、それ以降のセクタに関し

ては読み出し用アドレスポインタに従ってデータを読み出すため、2つ目以降のセクタに関しては上記従来装置よりも高速に処理できる。

【0063】また、読み出し速度を犠牲にし、データ読み出しの信頼度を上げる場合には、ステップ43の次で、ホスト1から受け取ったLSAと、読み出し用アドレスポインタが指し示すセクタのLSA格納領域12内のLSAとを比較して確認する。なお、ここで不一致のときはステップ23以降の検索処理を行う。

【0064】つづいて、半導体ディスク装置2Aへのデータ書き込み動作を図13のフローチャートで説明する。図13のステップ30～32は、図11のステップ20～22と同様であるので説明を省略する。まず、書き込み用アドレスポインタの指示に基づき空きセクタを確認する(ステップ33)。

【0065】空きセクタがある場合は、そこにデータを書き込むとともに、アドレス変換テーブル5Aを更新する(ステップ34～35)。つまり、データを書き込んだPBNを該当するLSAのPBN格納部に保存する。

【0066】ステップ34において、書き込み用アドレスポインタに基づき空きセクタがない場合には以下のように処理する(ステップ36～38)。まず、消去回数や無効データ数等に基づき消去するブロックを決定する。次に、有効データを空きブロックにコピーする。その後、決定したブロックを消去し、消去したブロックの消去回数を更新する。そして、ステップ35に進む。

【0067】データ更新の場合は、旧データの有効データ確認フラグ13を「FF」から「00」へ更新する。また、書き込み用アドレスポインタを更新する(ステップ39)。この実施例1では連続してデータを書き込むため、書き込み用アドレスポインタはデータ書き込み終了後、次のセクタアドレスを指し示すことになる。なお、1つの消去ブロック内のセクタ全てがデータで埋まったときは、次に書き込むべき消去ブロックをCPU4が決定し指し示すセクタアドレスを決める。例えば、複数の空きの(クリーンな)消去ブロックが存在する場合、CPU4は、消去回数等に基づき次に書き込むべき空きの消去ブロックを決定する。

【0068】この実施例1は、従来の半導体ディスクカード(装置)の読み出し速度等のパフォーマンスを落とすことなく、読み出し用及び書き込み用アドレスポインタと論理セクタアドレス比較回路61を使用することにより、アドレス変換テーブル5Aの容量を小さくすることができる。アドレス変換テーブル5Aの容量を小さくすることで、無理なく半導体ディスクカードの大容量化を進めることができる。従来のアドレス変換テーブル5を用いると20MBの半導体ディスクで80KBのサイズが、40MBの半導体ディスクで160KB(1.25Mbit)のサイズが必要となる。これがおよそ1/2のサイズに小さくなれば揮発性RAMにかかっていた

コストを削減することができ、またアドレス変換テーブル用揮発性RAMメモリが搭載されていたスペースにフラッシュメモリを増設して搭載できるため半導体ディスク装置の容量を増大させることができる。

#### 【0069】

【発明の効果】この発明に係る半導体ディスク装置は、以上説明したとおり、当該消去ブロックの消去回数を格納する消去ブロック情報格納領域と、データを格納する複数のデータ格納領域と、論理セクタアドレスを格納する前記データ格納領域毎の論理セクタアドレス格納領域とから構成される消去ブロックを複数有するフラッシュメモリと、前記論理セクタアドレスを物理消去ブロック番号へ変換するためのアドレス変換テーブルと、前記物理消去ブロック番号に基づいて前記フラッシュメモリ上のデータを管理する制御手段とを備えたので、データ管理用のアドレス変換テーブルを小さくできるという効果を奏する。

【0070】また、この発明に係る半導体ディスク装置は、以上説明したとおり、前記制御手段が、前記アドレス変換テーブルに基づいて入力した論理セクタアドレスを物理消去ブロック番号へ変換し、前記フラッシュメモリ上の該当物理消去ブロック内で前記入力した論理セクタアドレスに基づいて最新の該当データ格納領域を捜し出し、前記最新の該当データ格納領域の内容を読み出すので、データ管理用のアドレス変換テーブルを小さくできるという効果を奏する。

【0071】さらに、この発明に係る半導体ディスク装置は、以上説明したとおり、前記制御手段が、該当消去ブロックの上から下へ連続してデータ格納領域にデータを書き込み、前記書き込んだデータ格納領域に対応する論理セクタアドレス格納領域に入力した論理セクタアドレスを書き込むとともに、前記アドレス変換テーブルの前記入力した論理セクタアドレスに対応する物理消去ブロック番号格納部に該当物理消去ブロック番号を書き込むので、データ管理用のアドレス変換テーブルを小さくできるという効果を奏する。

#### 【図面の簡単な説明】

【図1】 この発明の実施例1の全体構成を示すブロック図である。

【図2】 この発明の実施例1のアドレス変換テーブルの構成を示す図である。

【図3】 この発明の実施例1のフラッシュメモリの構

成を示す図である。

【図4】 この発明の実施例1の消去ブロックの内部構成を示す図である。

【図5】 この発明の実施例1のデータ書き込み動作を説明するための図である。

【図6】 この発明の実施例1のデータ書き込み動作を説明するための図である。

【図7】 この発明の実施例1のデータ書き込み動作を説明するための図である。

【図8】 この発明の実施例1のデータ書き込み動作を説明するための図である。

【図9】 この発明の実施例1のデータ読み出し動作を説明するための図である。

【図10】 この発明の実施例1のデータ読み出し動作を説明するための図である。

【図11】 この発明の実施例1のデータ読み出し動作を示すフローチャートである。

【図12】 この発明の実施例1のデータ読み出し動作を示すフローチャートである。

【図13】 この発明の実施例1のデータ書き込み動作を示すフローチャートである。

【図14】 従来の半導体ディスク装置の全体構成を示すブロック図である。

【図15】 従来の半導体ディスク装置のアドレス変換テーブルの構成を示す図である。

【図16】 従来の半導体ディスク装置のフラッシュメモリの構成を示す図である。

【図17】 従来の半導体ディスク装置のフラッシュメモリ内の消去ブロックの構成を示す図である。

【図18】 従来の半導体ディスク装置のデータ読み出し動作を説明するための図である。

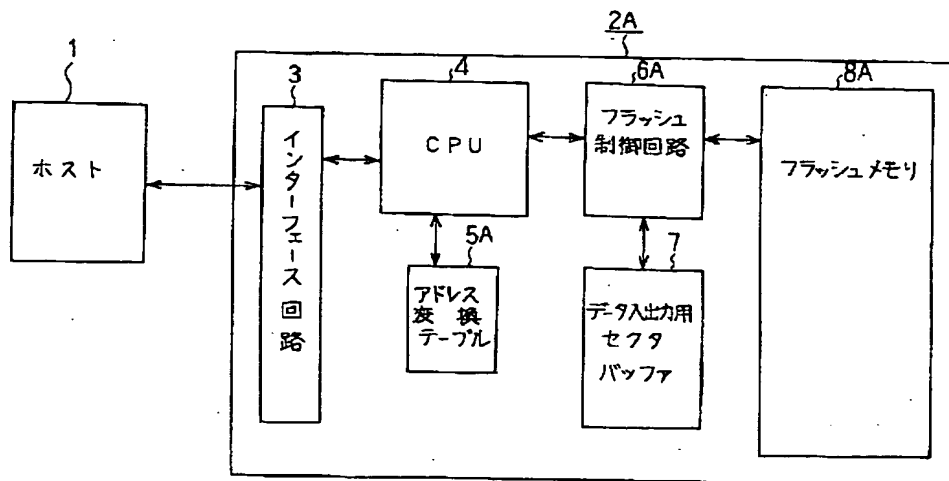
【図19】 従来の半導体ディスク装置のデータ書き込み動作を説明するための図である。

【図20】 従来の半導体ディスク装置のデータ書き込み動作を説明するための図である。

#### 【符号の説明】

1 ホスト、2 A 半導体ディスク装置、3 インターフェース回路、4 CPU、5 A アドレス変換テーブル、6 A フラッシュ制御回路、6 1 論理セクタアドレス比較回路、7 データ入出力用セクタバッファ、8 A フラッシュメモリ。

【図1】

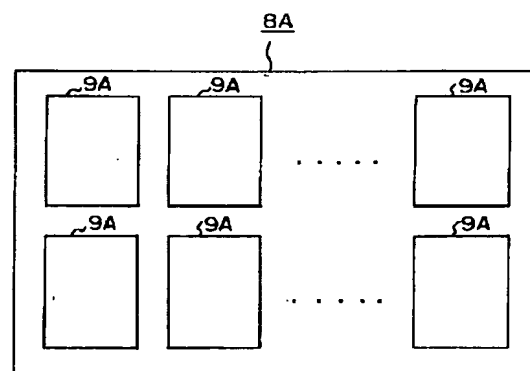


【図2】

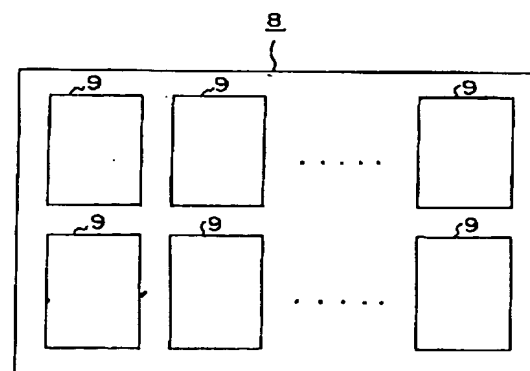
5A

LSA	PBN
1	3
2	3
3	1
⋮	⋮
n-1	
n	

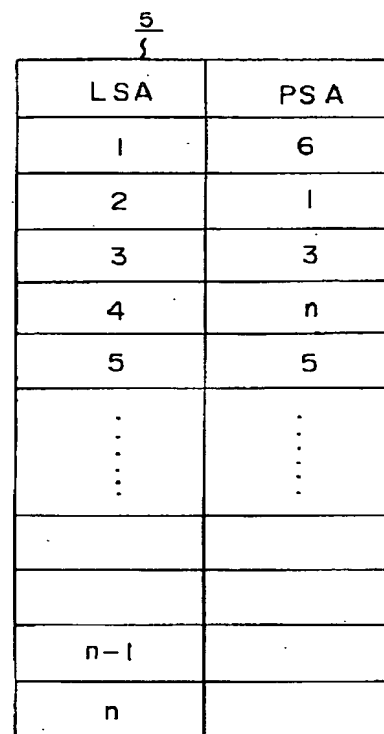
【図3】



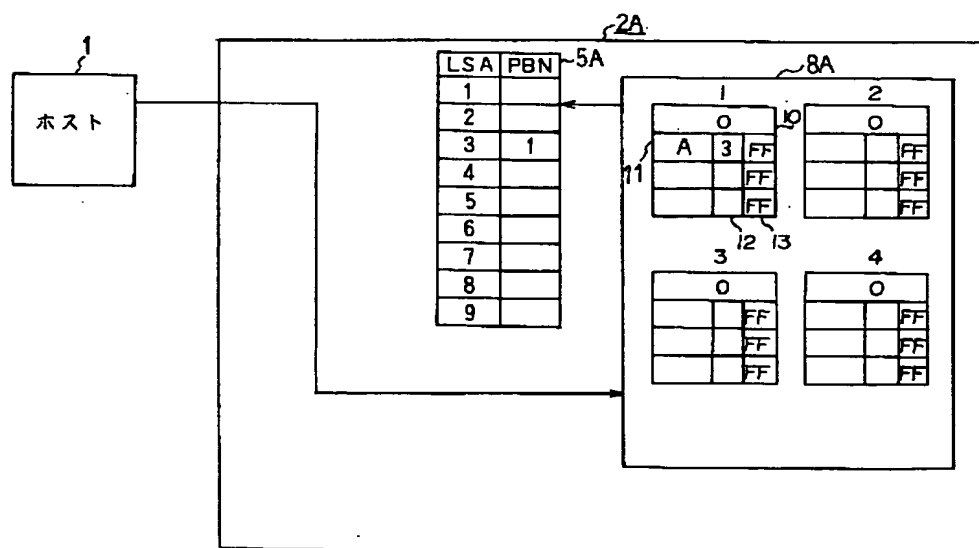
【図16】



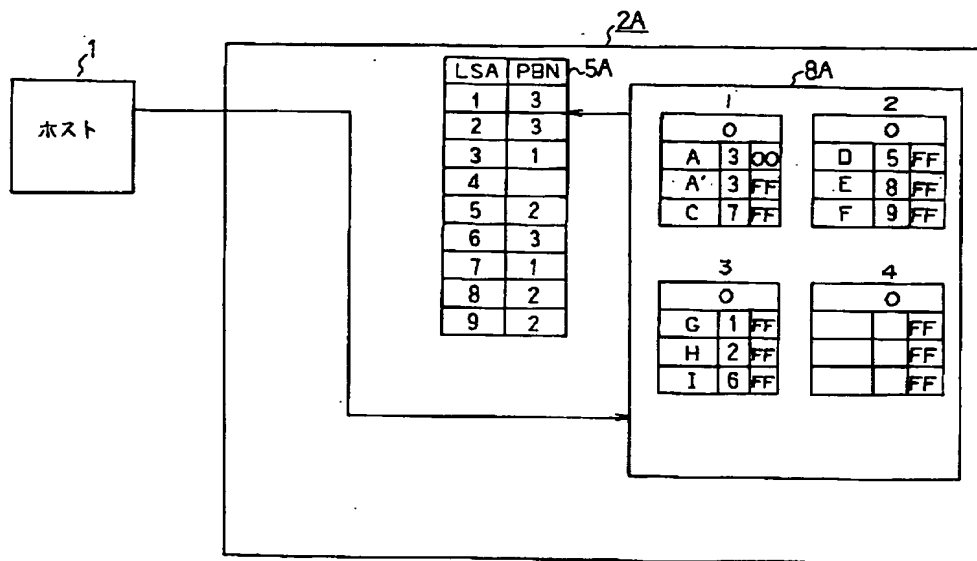
【図 15】



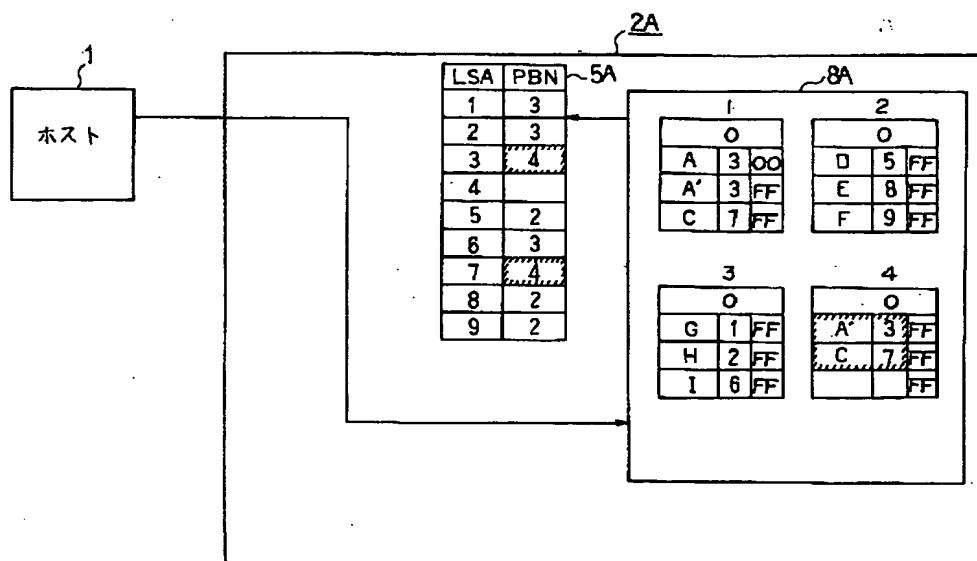
【図 5】



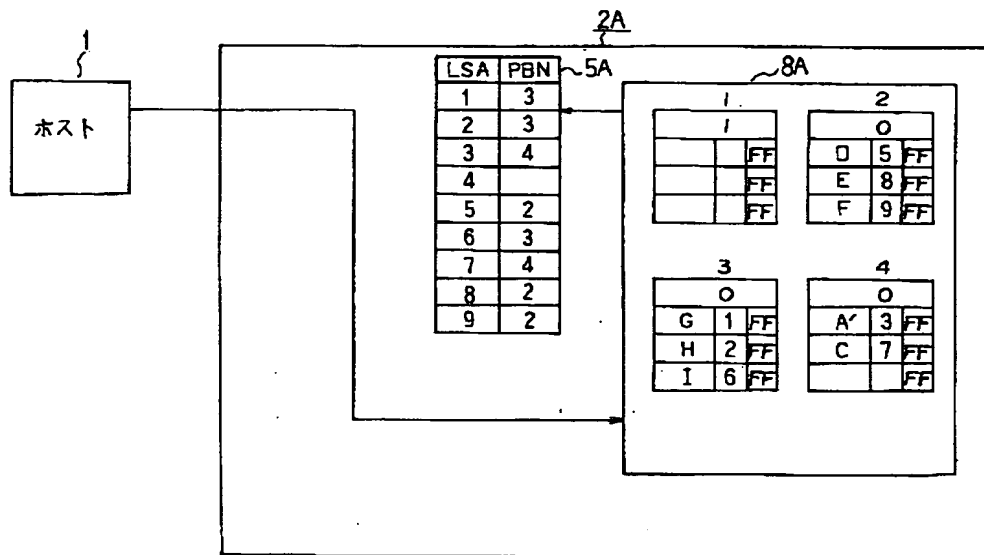
【図6】



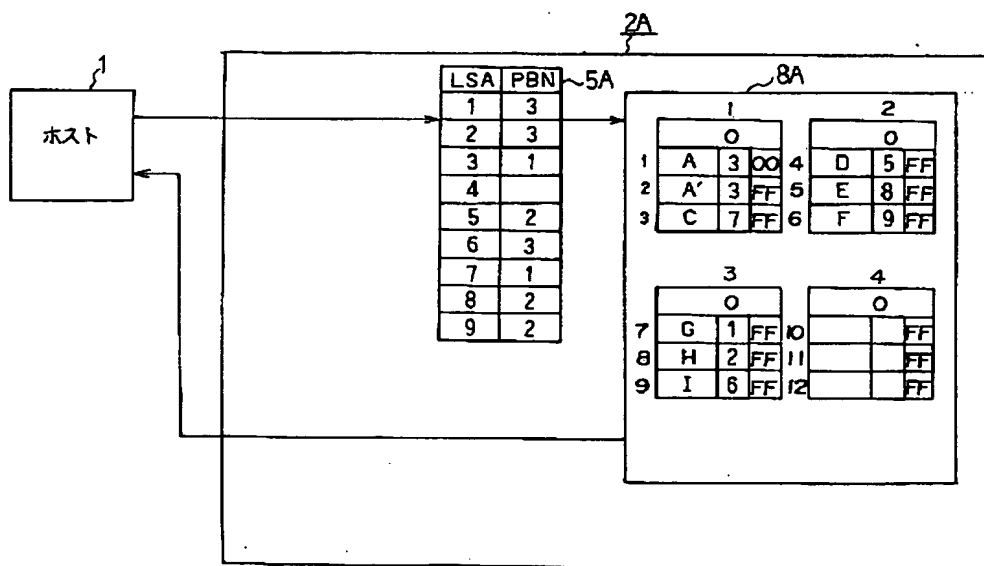
【図7】



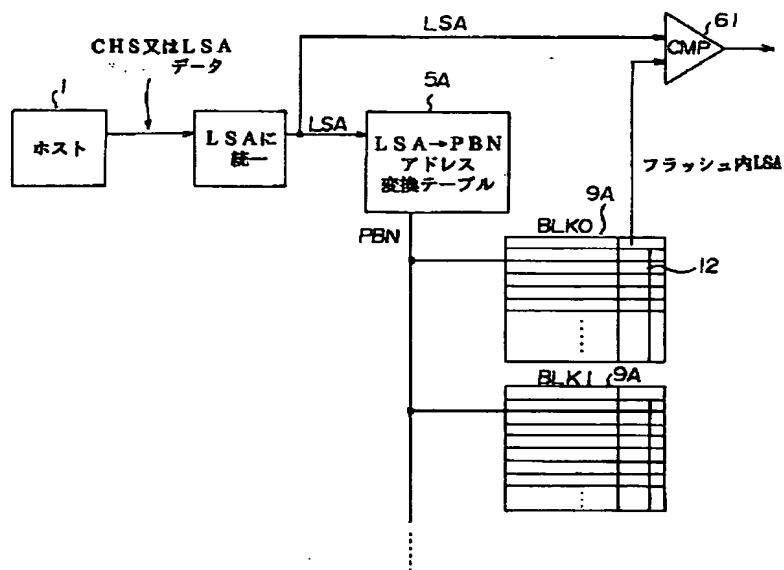
【図8】



【図9】



【図10】



【図19】

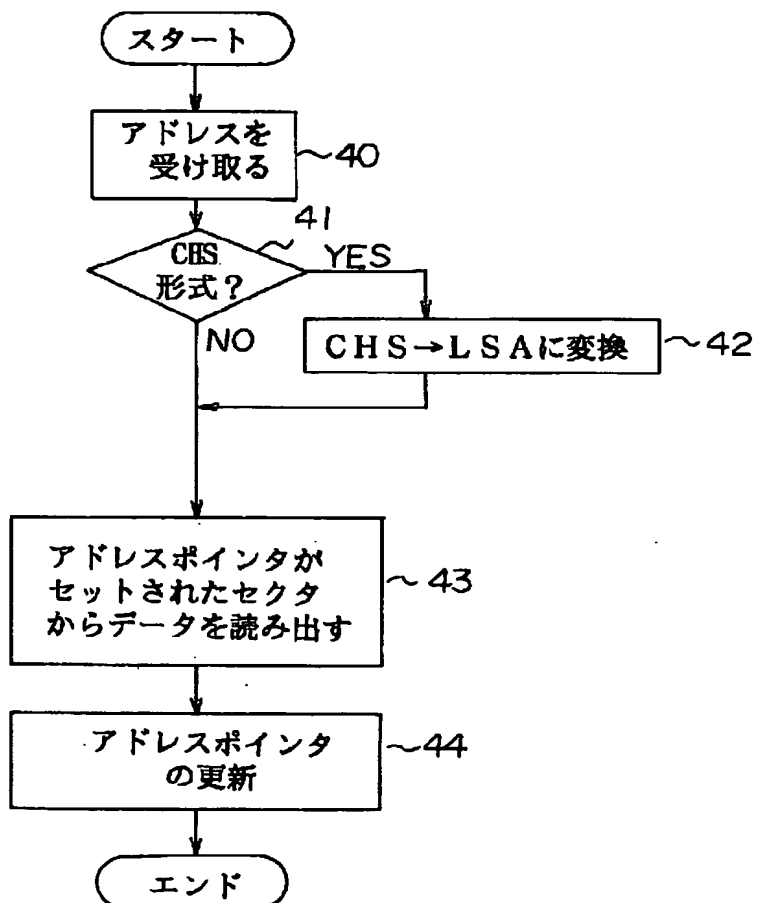
5

LSA	PSA
1	1
2	3
3	7
4	4
5	
6	
7	
8	
9	
10	
11	
12	

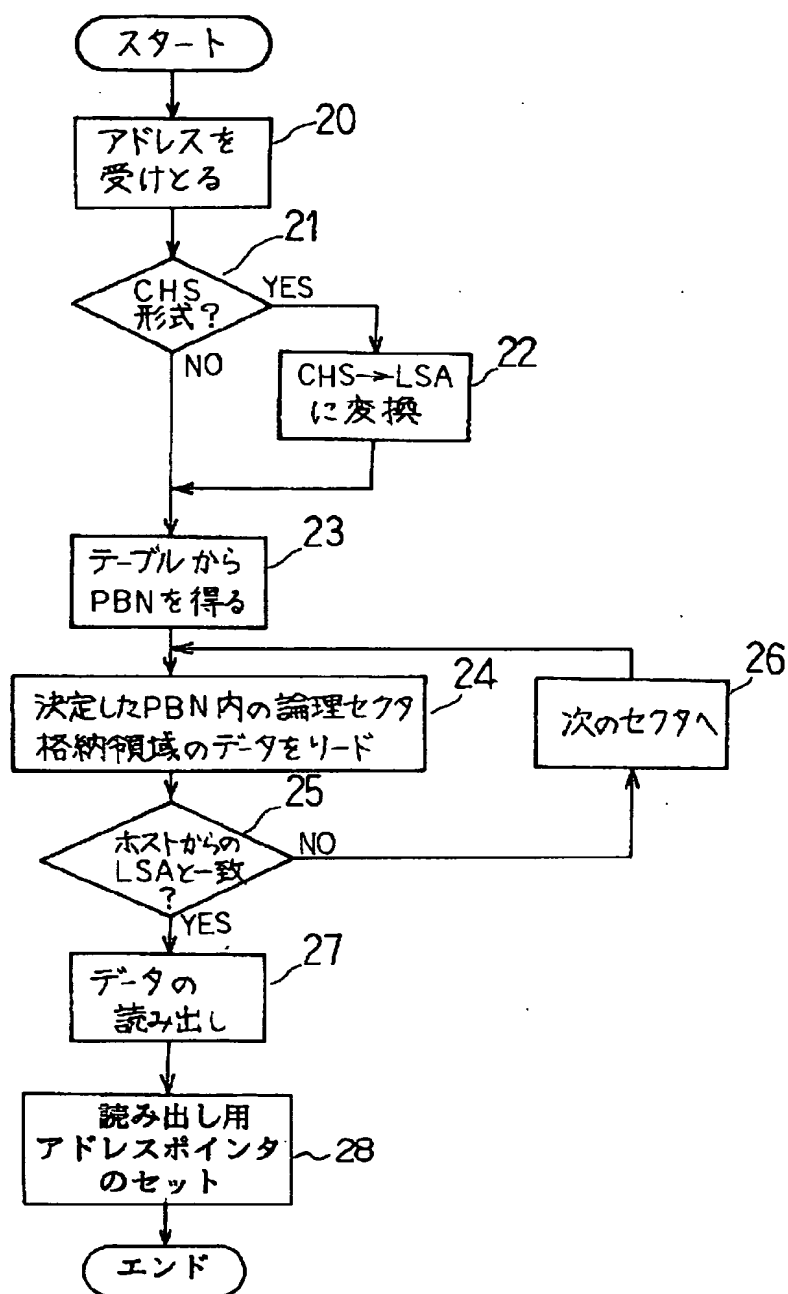
8

1	A	1	4	D	4
2			5		
3	B	2	6		
7	C	3	10		
8			11		
9			12		

【図12】

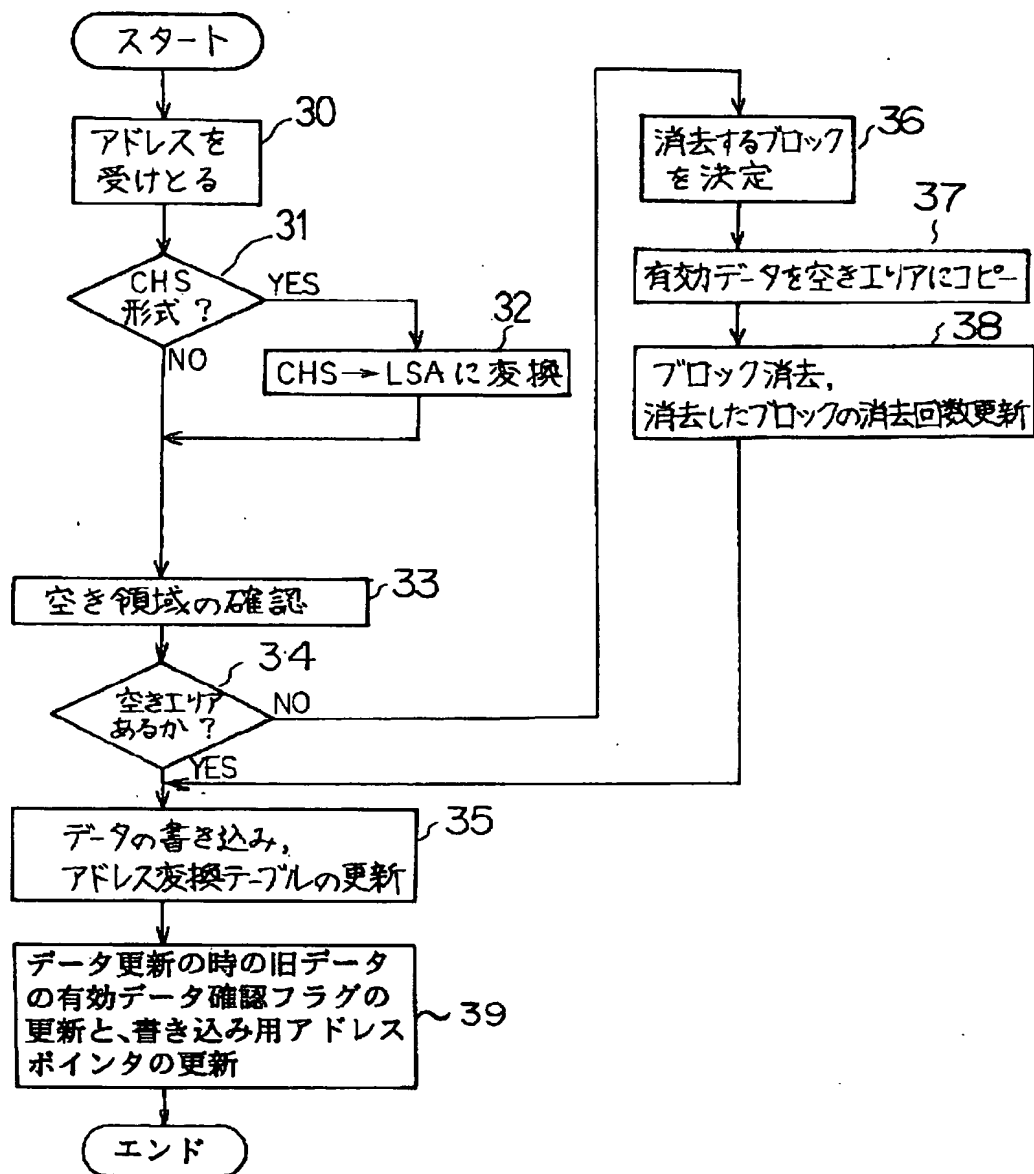


【図11】

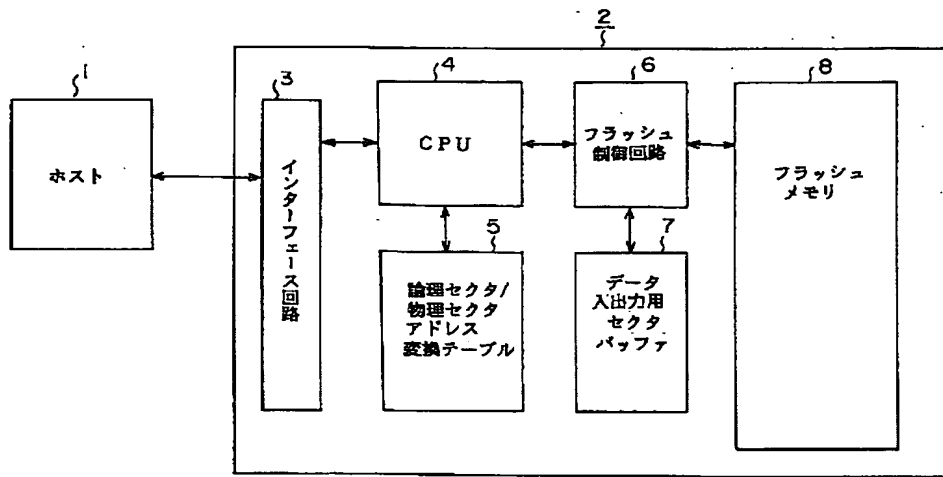




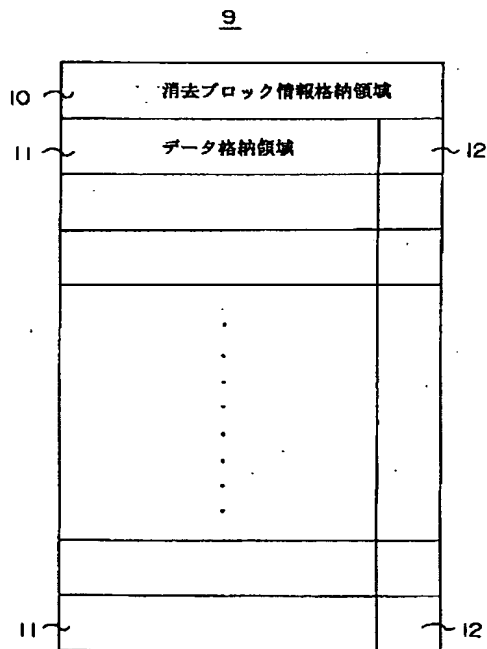
【図13】



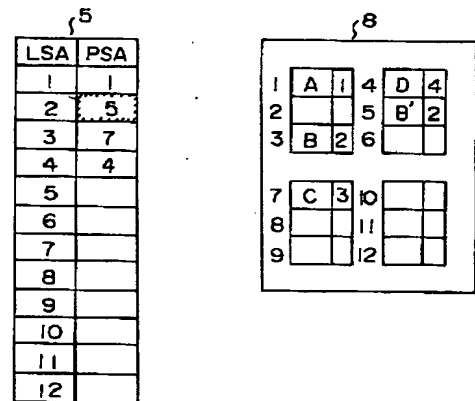
【図14】



【図17】



【図20】



【図18】

